

EQ電源の誤作動の原因と対策

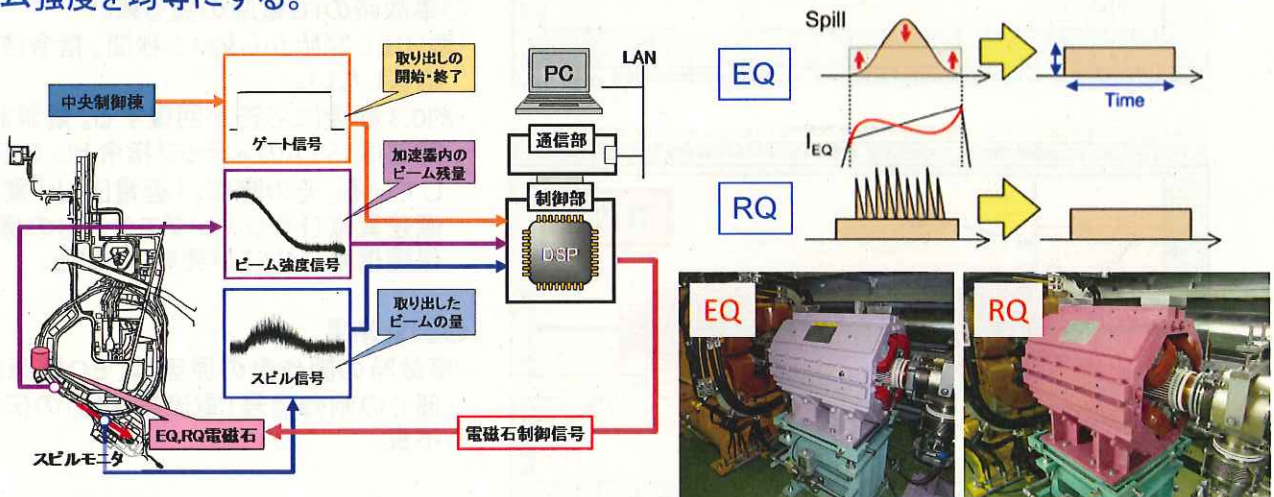
J-PARC センター

1

遅い取り出し法とスピルフィードバック

遅い取り出し: シンクロトロンを周回する陽子ビームはベータatron振動とよばれる横振動をしながら周回している。遅い取り出しは、この振動の共鳴現象を使ってビームサイズを広げ、広がったビームを外側から削り出すように徐々に取り出す手法である。

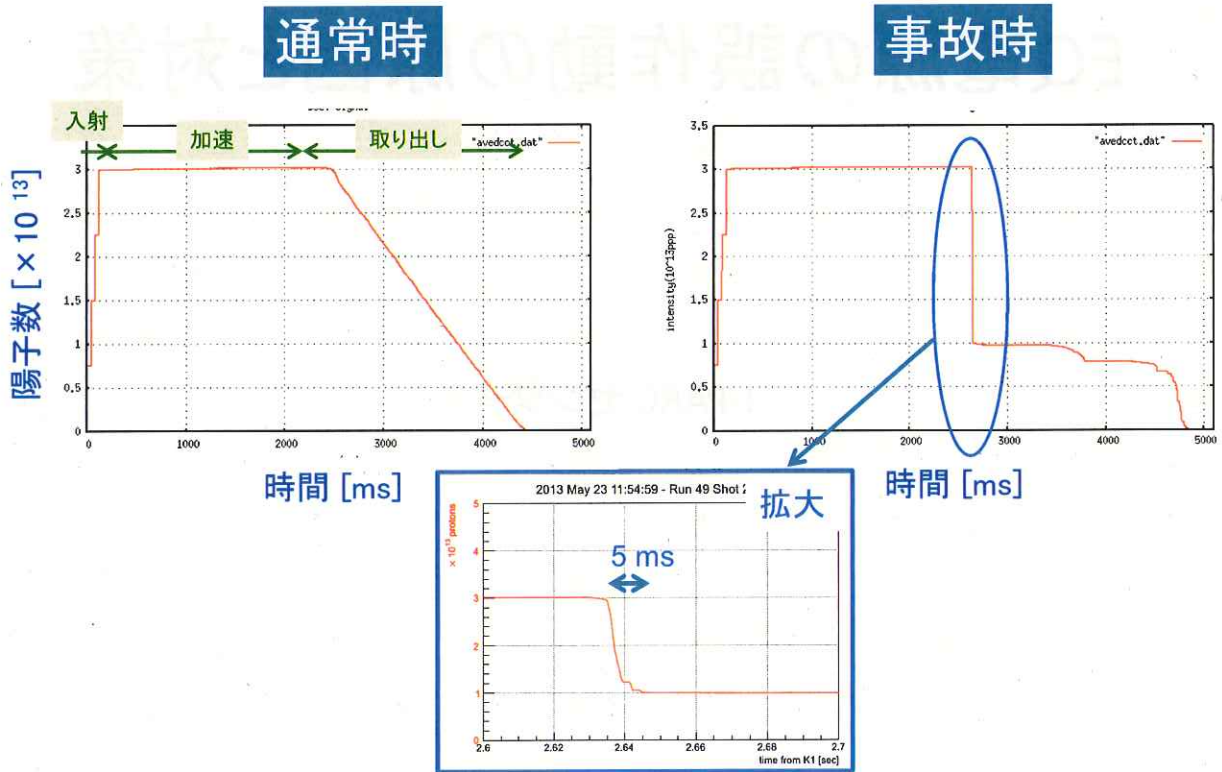
スピルフィードバック: 精度のよい実験を行うためには取り出される陽子の数(ビーム強度)が取り出されている時間内で均等になる必要がある。このため、取り出されたビームの単位時間あたりの強度(ビームスピル)を測定しながら2種類の四極電磁石EQ(Extraction Quadrupole)及びRQ(Ripple Quadrupole)をフィードバック制御して取り出し時間内のビーム強度を均等にする。



2

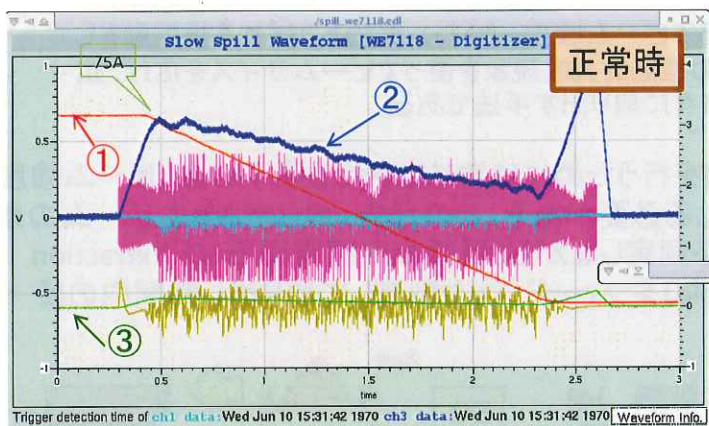
通常時と事故時のショットの比較

DCCT (DC current transformer) によって測定された50GeVシンクロトロンを周回するビームの強度(陽子数)の時間変化



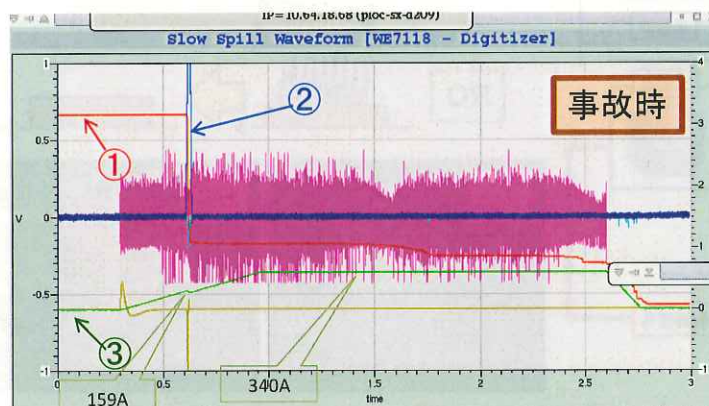
3

EQシステムの誤作動



EQ/RQ制御画面:

- ①MR内の周回ビーム電流、ビーム強度モニタ測定値、
- ②EQ電源出力電流、
- ③スピル制御DSPユニットからのEQ制御信号モニタ値、RQ電源出力電流、RQ制御信号モニタ値



○事故時のEQ電源の振る舞い

- ・取り出し開始から約0.3秒間、指令値に 응답しない。
- ・約0.3秒後に 응답が回復する。電源制御部は159 Aのステップ指令として応答している。その際に、「過電圧」と「電流偏差異常(トラッキングエラー)」の機器保護信号(MPS)が発報している。

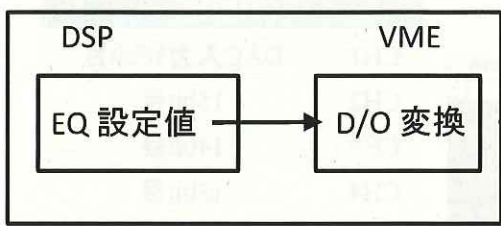
○調査結果

- ・事故時の誤作動の原因は、EQ電源内部での制御信号(電流指令値)の伝送不良。

4

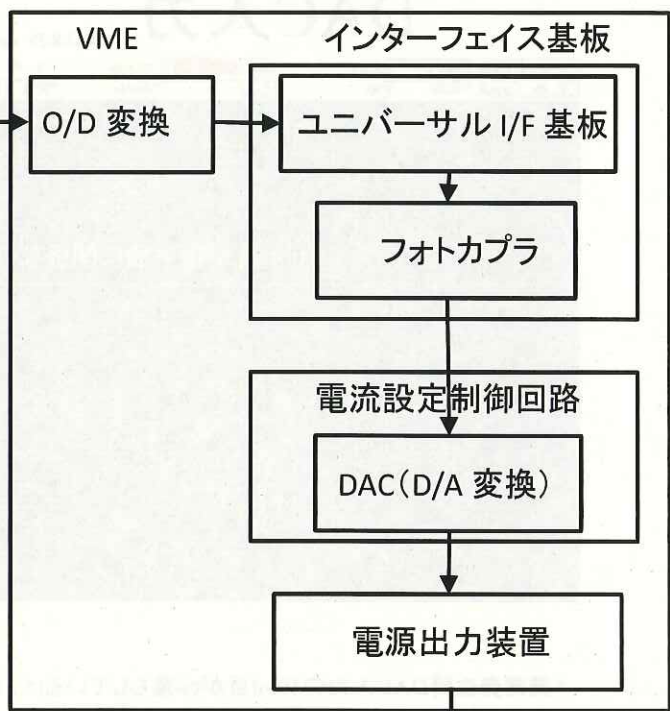
EQシステムの誤作動の原因調査

スピル制御システム



光信号

EQ電磁石電源



EQ電磁石システムの連続通電:
 6月25日 - 8月29日
 1,291時間、774,600パルス。
 事故時と同様にOVを発報して電源が停止
 する事象の発生は4回。
 7/11, 8/12, 8/13, 8/29

EQ電磁石へ

5

DAC 出力と制御電圧

2013/8/29 data



DAC出力が不安定

CH設定	
C	ユニバーサルI/F
H	基板
11	電圧
	正常時5V
C	DACout
H	(+340A/10V)
12	

U-IF電源電圧が特に低下

- ・ユニバーサルI/F基板に供給される電圧が正常時は5Vのはずが3.6V程度に低下
- ・異常発生時(OV発生)はさらに3.3V程度低下

6

DAC入力



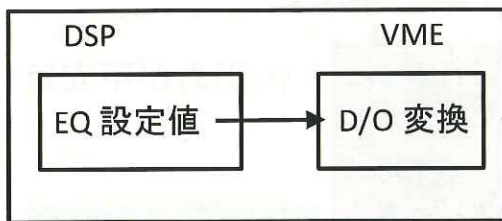
- ・異常発生時DAC入力の10bit目がbit落ちている(5.31A)
- ・U-IF基板入口では10bit目は1のまま(正常)

CH設定	
CH1	DAC入力16bit目
CH2	15bit目
CH3	14bit目
CH4	13bit目
CH5	12bit目
CH6	11bit目
CH7	10bit目
CH8	9bit目
CH9	8bit目
CH10	7bit目
CH11	6bit目
CH12	5bit目
CH13	4bit目
CH14	3bit目
CH15	2bit目
CH16	1bit目 ₁₀

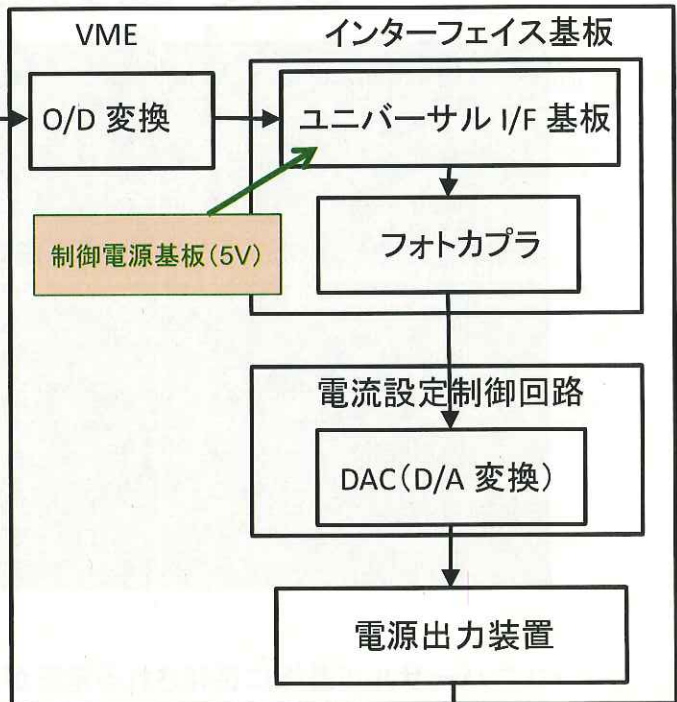
7

EQシステムの誤作動の原因

スピル制御システム



EQ電磁石電源



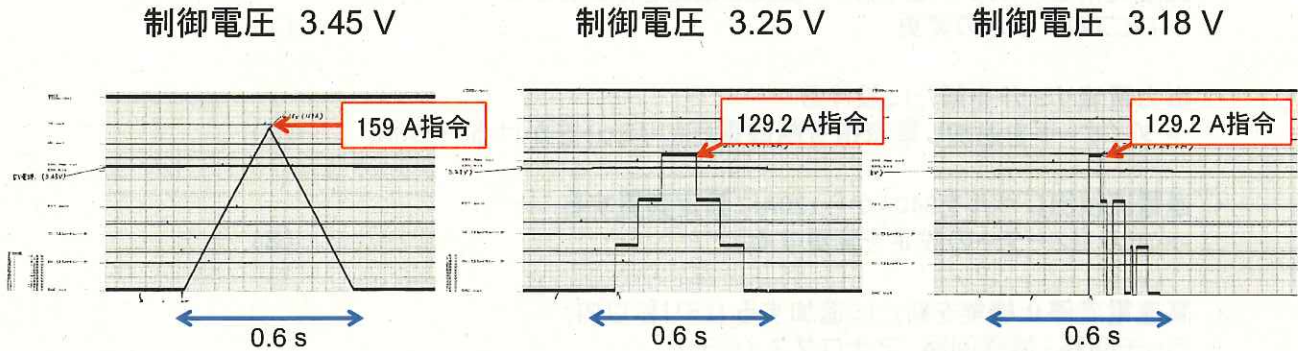
スピル制御システムから送られてきたEQ電磁石の電流設定値を伝送するインターフェイス基板が誤作動した。その理由は、インターフェイス基板上のICに5Vの電圧を供給する定電圧電源の電圧が低下したことによるデジタル信号の乱れ(ビット反転)による。これは基板に用いられている3端子レギュレータの放熱対策が十分でなかったことにより劣化が早く進んだためと考えられる。

EQ電磁石へ

8

制御用5V電源の電圧低下の影響

電源基板の代わりに外部のAVRによってインターフェイス基板に制御電源を供給し、電圧低下によるデジタル信号の乱れ(ビット落ち)を模擬



9

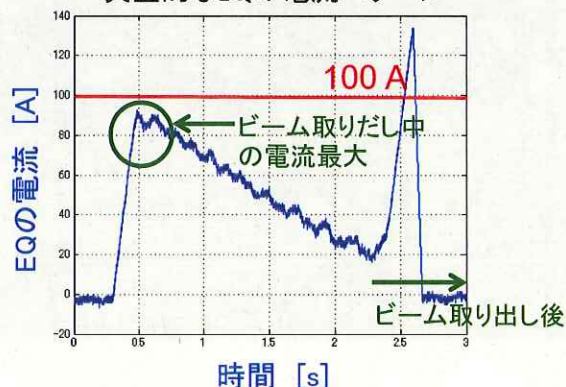
EQ電源系の再発防止策

制御電源基板の交換:3端子レギュレータの発熱対策

その上で、万が一システムが誤作動しても短パルスビームが取り出されないように以下の対策を実施する。

事象	現行	対策後	
EQ電源での「電流偏差異常」の取り扱い	警報のみ	電源の非常停止 連続ビーム運転の停止	(1)
フィードバックシステムとしての「電流偏差異常」の取り扱い	—	電源の非常停止 連続ビーム運転の停止	(2)
EQ電源の最大電流値	340 A	120 A	(3)
「電源非常停止」検知後の停止開始までの応答速度	> 6 ms	< 1 ms	(4)

典型的なEQの電流パターン



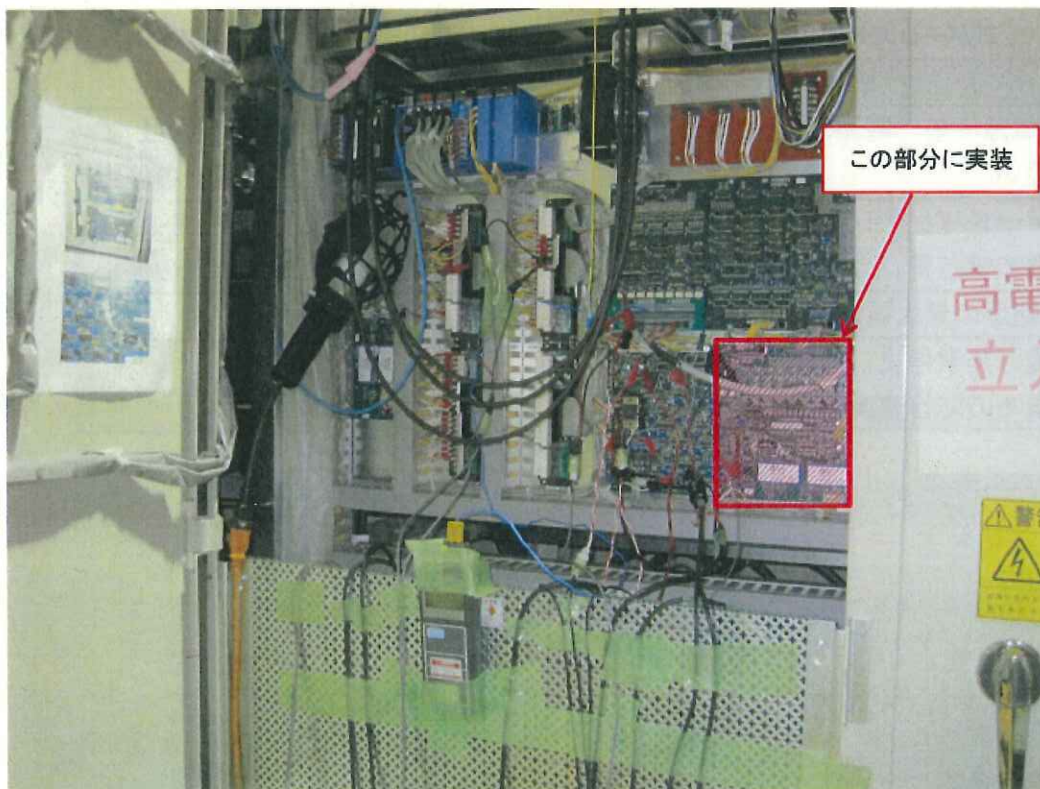
10

・誤動作の直接の原因となった制御電源基板を放熱対策を施した制御電源基板に交換する。
さらに、同じ型の制御電源基板を内蔵するJ-PARCの電磁石電源をすべて点検し、放熱対策等の健全性を確認している。

- ・ 偏差異常をA stop（重故障）に変更し電源を停止させる
-> PLCプログラムの変更 (1)
- ・ 出力電流リミットを新たに設ける
-> ダイオードを追加し電流指令制御電圧にリミットをかける (150A) (3)
- ・ 過電流検出レベルを340Aから120Aに設定変更する
-> コンパレーターの設定を変更する。 (3)
- ・ 高速電流停止機能を新たに追加する(1ミリ秒以内)
ラッチ回路、論理回路、アナログスイッチで
FETゲートを高速遮断する(高速停止回路基板を新規製作) (4)
- ・ 外部端子の追加(高速停止回路基板上)
高速の外部入力インターロック端子 (DSP指令との偏差異常用) (2)
高速の外部出力インターロック端子(将来のアボート用、光)を追加する。

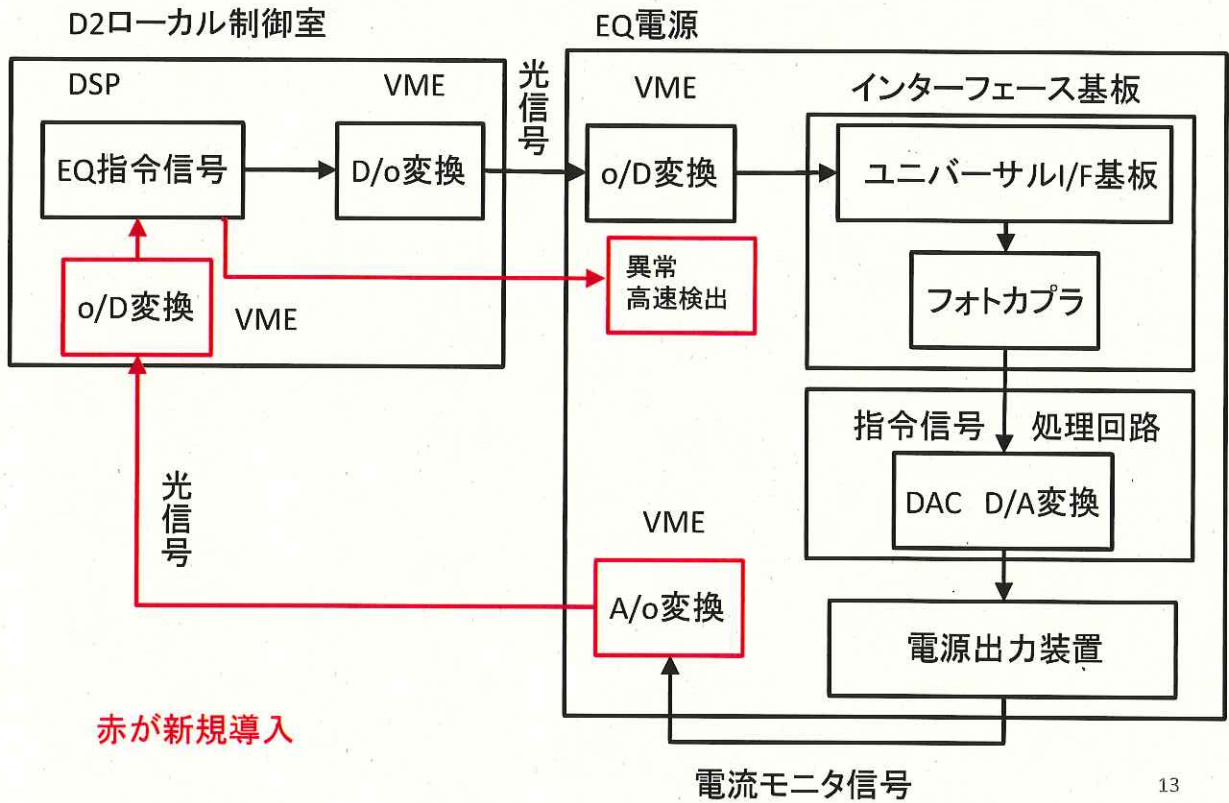
11

高速停止回路基板 (新規)



12

DSP指令と電源出力電流の偏差異常検出



EQ電源改修工程

工程 区分	10月		11月		12月		1月		2月	
	10	20	10	20	10	20	10	20	10	20
1 基板設計	→									
2 基板シミュレーション	→									
3 承認図										
4 部品手配										
5 基板製作(ユニバーサル)										
6 動作確認(工場内)										
7 修正・追加										
8 現地動作確認										
9 新規基板手配										
10 新規基板完成										
11 動作確認(工場内)										
12 現地動作確認										
13 予備										

Timeline annotations:

- 11/5 提出 (Proposal on 11/5)
- 12/10 頃より (Starting around 12/10)
- 1/20 (1/20)
- 1/24 頃より (Starting around 1/24)

配布先 (Distribution destination) is indicated on the right side of the chart.

